

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-260581

(43)公開日 平成9年(1997)10月3日

(51)IntCl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/04 25/18			H 0 1 L 25/04	Z

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号 特願平8-62451

(22)出願日 平成8年(1996)3月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 宮▲崎▼ 勝

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 山田 宏治

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 山下 喜市

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

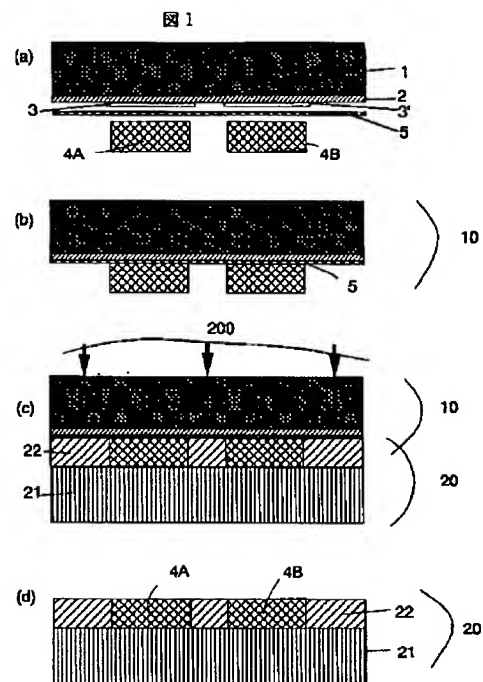
(54)【発明の名称】 複合半導体装置の製造方法

(57)【要約】

【課題】半導体素子を基板上に精度良く配置し、かつこの表面を平坦化して特性の揃った複合半導体装置を製造する。

【解決手段】(1)ウエーハ形状の複合半導体装置用基板上に半導体素子を配列するための治具(以下、組立て治具と略す)を用いて、(2)複合半導体装置の基板上に設けた樹脂に半導体素子を埋め込んで、ウエーハの表面を平坦にし、(3)ホトリソグラフィの技術によりこのウエーハ上で素子間を接続する配線層を形成する。

【効果】ウエーハの一括処理が出来るようになって大量生産による低価格化を達成できる。



【特許請求の範囲】

【請求項1】複数個の半導体素子を接着してなる組立て治具により、上記半導体素子を複合半導体装置用基板上に樹脂により固定する工程と、樹脂によってこの表面を平坦にする工程と、上記組立て治具の基板を複合半導体装置用基板から取り外す工程を有することを特徴とした複合半導体装置の製造方法。

【請求項2】複数個の放熱板を接着してなる組立て治具により、フェイスダウンの組み立てからなる複合半導体装置用基板の半導体素子の裏面に上記放熱板を樹脂により固定する工程と、組立て治具の基板を複合半導体装置用基板から取り外す工程と有することを特徴とした複合半導体装置の製造方法。

【請求項3】複数個の凸型形状をもつ組立て治具により、複合半導体装置用基板上に置かれた樹脂に上記組み立て治具の形状を加圧によって形成する工程と、組立て治具を複合半導体装置用基板から取り外す工程と、複合半導体装置の樹脂からなる複数個の凹型形状に複数個の半導体素子を挿入する工程と、樹脂によりこの表面を平坦にする工程と有することを特徴とした複合半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に複数個の半導体素子を実装してなる複合半導体装置の製造に使用する組み立て用組立て治具及びこれを用いて複合半導体装置を製造する方法に関する。

【0002】

【従来の技術】電子装置の小形化と高性能化に伴って、半導体素子を直接、基板上に実装して回路を構成する、いわゆるマルチチップモジュール（以下複合半導体装置と呼ぶ）が検討されている。ICやLSIの半導体素子を基板上に接続する方式には、（1）アップサイドアップと（2）アップサイドダウンがある。（1）の方式は半導体素子の表面が基板表面と同じ向きにあり、従来技術では、両者の電極間をボンディングワイヤにより接続する技術が多く使われている。また、基板上に凹みを設け、半導体素子を埋め込んで表面を平坦にして配線層を形成する技術が、例えば特開平5-47856号公報で述べられている。（2）の方式は半導体素子の表面を基板表面と対向させ、半田ボール等の導電性材料で電極を接続し、固定するものである。これは、従来から広く用いられている技術である。

【0003】

【発明が解決しようとする課題】従来技術のアップサイドアップ方式による複合半導体装置は（1）ボンディングワイヤ配線は高周波特性が悪く、ボンディングの処理時間が長い、（2）半導体素子埋め込み用凹みを基板に短時間で精度良く形成することが難しい、（3）基板上に素子を取付け、この表面を平坦に仕上げるのが難しい等、

製造上の欠点があった。また、アップサイドダウン方式は放熱性が悪いので発熱量の多い半導体素子の実装には使用されていなかった。

【0004】本発明の目的は、半導体素子を基板上に精度良く配置し、かつこの表面を平坦化して特性の揃った複合半導体装置を製造することにある。

【0005】

【課題を解決するための手段】上記の目的を達成するために本発明では、複合半導体装置用基板上にアルミナ、AlN、SiC等の絶縁体やSi、GaAs等の半導体を用いる。これらの形状、サイズは半導体製造装置に使うウエーハ形である。本発明では（1）複合半導体装置用基板上に半導体素子を配列するための治具（以下、組立て治具と略す）を用い、（2）この組立て治具を用いて複合半導体装置の基板上に設けた樹脂に半導体素子を埋め込んで、ウエーハの表面を平坦にし、（3）ホトリソグラフィの技術によりこのウエーハ上で素子間を接続する配線層を形成すること、により複合半導体装置を一括製造することを特徴としている。

【0006】通常、0.2mm程度の厚さの半導体素子を、アップサイドアップで複合半導体装置用基板上に取付けホトリソグラフィの技術で基板上の電極と半導体素子の電極を配線接続するよう、本発明ではこの表面の凹凸を10μm以内に平坦化する技術が開発されている。本発明の組立て治具は、アップサイドアップの方式に対して以下の2通りの基本構成がある。（a）この組立て治具は複合半導体装置基板上に取付ける半導体素子を直接配列した構造で、これらの素子を一括、複合半導体装置基板上の樹脂に転写し表面を平坦にする。（b）この組立て治具はSOIウエーハ等の基板上に半導体製造技術で凸形状の金型を形成した構造で、複合半導体装置基板上の樹脂にこの治具を加圧し凹みを作り半導体素子を配列して表面を平坦にする。またアップサイドダウンの素子に放熱板を取付ける製造方法として本発明の組立て治具を利用する。このような組立て治具を用いることによって複合半導体装置基板上に多数の複合半導体装置が一括に形成されるので特性の揃った均一なものが大量に生産される特徴がある。なお、本発明で言う半導体素子とは半導体製造技術で形成された素子全般の呼称であって、通常のICやLSIのほか、単体のトランジスタやダイオードと受動素子（コイル、抵抗やコンデンサ）またはこれらの複合体をいう。又、本発明で用いる組立て治具は最新の半導体製造技術によって形成するので、加工精度が高い特徴がある。

【0007】

【発明の実施の形態】

実施例1

図1に本発明の一実施例である構造の組立て治具を用いて複合半導体装置を製造する工程の主要部を示す。複合半導体装置に使われる半導体素子4A、4Bは組み立て

治具10の一部の側断面図、図1(a)と(b)に示すように取付けられる。これを以下に説明する。組立て治具の基板1には約0.5mm厚さのSOI(Si on Insulator)型Siウエーハを用いる。SiO₂膜2上のSi厚さは約1μmで、これに通常の半導体リソグラフィとドライエッチの技術でSiマーク3、3'を形成する。これは半導体素子4A、4Bを位置合わせして乗せるためのマークである。続いてこの表面に接着層5(熱加塑性接着材、例えば日立化成工業株式会社製ハイマル、ガラス転移温度230℃)を回転塗布法により約2μmの厚さで形成する。パターン認識機構を有する専用チップ取付け機を用いて半導体素子4A、4B(大きさ約1.5mm□、厚さ約0.15mm)の目印と基板1のマーク3、3'をそれぞれ位置合わせして配列し、約250℃で加圧接合する。保護層で覆われた半導体素子4A、4Bの表面側が接着層5と密着する構成である。次に、半導体素子付き組立て治具10を用いて複合半導体装置20の基板21表面に半導体素子を平坦化埋め込みする手順を図1(c)と(d)により説明する。複合半導体装置20の基板21にはアルミナを使い、この上に例えばポリイミド樹脂22を半導体素子4A、4Bの厚さ(0.15mm)以上に厚く塗る。組立て治具10と複合半導体装置20を対向させ平行に加圧できる専用装置により静圧200を加えながら約280℃に加熱し、ポリイミド樹脂(ガラス転移温度約250℃)を硬化させ、組立て治具の基板1を分離する。これによって半導体素子4A、4Bが複合半導体装置20の基板21上の樹脂層22内に埋め込まれ、組立て治具の鏡面で押さえられた平坦な表面構造ができる。組立て治具10から半導体素子4A、4Bを容易に取り外せるよう熱加塑性接着材を用いた例を述べたがこれに限定されるものではなく、高温で接着力が低下する瞬間接着材や、熱剥離性の接着材を用いてもよい。半導体素子を移植した後のマーク付組立て治具基板1はこの複合半導体装置の製造部品として再生使用ができるので極めて経済的である。半導体素子を平坦に埋め込む樹脂材には、高熱伝導率、低膨張係数、低誘電率および導電性樹脂等の特性を持ったものが用意でき、複合半導体装置の使用目的に応じて選択される。また樹脂の種類も上記以外に、エポキシ系やシリコン系等の熱硬化性および化学反応性等と選択が可能である。このほか、埋め込む樹脂材には熱可塑性樹脂や、光を透過する基板を使った場合、紫外線硬化型樹脂の適用も可能である。

【0008】図2は本発明によって製造された複合半導体装置のウエーハ全体の概念図を示す。図2(a)に複数個の半導体素子4(4個の例)を用いて構成された複合半導体装置7が複合半導体装置の基板20に多数埋め込まれた模様を、図2(b)と(c)に異種類の複合半導体装置に対応して半導体素子を埋め込んだ、それぞれの部分図を示す。この後ウエーハ基板上で部品や配線層

が形成、接続され、複合半導体装置が完成する。この基板を個々の複合半導体装置に分割して使用するが、分割しやすいよう区分線7(樹脂の厚さを薄くする)を付けるが、これは、組み立て治具の方に形成してある。

【0009】図3は本発明の特徴の一つを説明するためのものである。複合半導体装置に用いる半導体素子は例えばGaAs ICとSi ICのように別々のプロセスや材料で作られた厚さの異なる半導体素子を用いることが多い。厚さの異なる半導体素子24A(厚さ0.2mm)、24B(厚さ0.15mm)を図1と同様の組立て治具10によって複合半導体装置の基板21と樹脂層22に埋め込んだ後の断面構造図を図3に示す。2素子の厚さの差D(この例では0.05mm)は、埋め込み樹脂層22によって吸収され、複合半導体装置の仕上がり表面は平坦になることがわかる。これによってウエーハ表面の段差がないので後続する配線工程に問題がなくなり、性能向上と大幅なコスト低減効果が達成される。

【0010】図4は図1の製造方法で作製した無線通信用高周波回路の複合半導体装置40の断面構造図である。高出力GaAs IC4Aと低出力Si IC4Bをアルミナ基板41上に配列し、樹脂で平坦化した後、ホトリソグラフィ技術によって第一の層間絶縁膜44上に、第一の配線金属45を、第二の層間絶縁膜46上に、第二の配線金属47を形成し2層配線を行ったものである。本発明の製造方法では平坦化した複合半導体装置のウエーハ表面は全面にわたって数μm以内がえられ半導体素子を配線する配線層の最小幅は約2μmと通常のウエーハ上と同程度の微細パターンまで対応が可能になった。高周波用なので図4のように、導電層43により半導体素子裏面の電位を固定する必要があり、このため図1(b)の工程の後に、組立て治具表面にAuを蒸着して用い、半導体素子埋め込み時に導電層43を樹脂内に形成した。

【0011】実施例2

図5に本発明の他の実施例である複合半導体装置を製造する工程の主要部を示す。これはフェイスダウンボンディングされた半導体素子の裏面に他の構造の組立て治具を用いて放熱板を取付けた構造の複合半導体装置の製造方法である。本発明に用いる組立て治具50は実施例1と同様の基板51を用い、これにSiマーク53、53'を形成し、接着層55を形成する。続いてCuからなる放熱板(大きさ2mm□、厚さ0.1mm)54A、54Bを組立て治具基板51の表面にマーク合わせて接合し組立て治具50とする(図5(a)と(b))。半導体素子(大きさ1.5mm□、厚さ0.4mm)64A、64Bが複合半導体装置の基板61に半田ボール65によってフェイスダウンボンディングされ、これに樹脂62を乗せ、上記組立て治具50の放熱板54A、54Bを半導体素子64A、64Bに位置合わせして加圧2000する(図5(c))。図6はこの後、組立て治具5

0の基板51を取り外し、電磁シールド効果のAuの金属被膜69を形成して複合半導体装置を完成した概念断面図である。同図から、樹脂層62によって半導体素子64A、64Bに密着してそれぞれの放熱板54A、54Bが固定されるので、半導体素子からの放熱特性が従来より大幅に改善される。樹脂材は熱伝導性の優れているものを用いた。ウエーハ上に形成した複合半導体装置を個別のものに分割しやすくし、上記の実施例では各素子毎に放熱板を取り付けた例を示したが、大きな面積の放熱板を複数の素子に共用して取付けてもよく、放熱板の材質はCuに限るものでもない。

【0012】実施例3

図7と図8に基づいて本発明による別の実施例を図9と図10で説明する。図7と図8は本発明による複合半導体装置の製造工程において、複合半導体装置の基板に半導体素子を挿入する樹脂材の凹みを形成するために使う組立て治具である。図7の組立て治具70はSOI (Si on Insulator) 型Siウエーハ (厚さ約600 μ m) によりSi基板71上のSiO₂層 (厚さ約1 μ m) 72をドライエッチング停止層として使い、上部Si層を凸型形状パターン74A、74B、76、77に加工した構造である。上部Si層の厚さは約150 μ mで塩素系ガスを用いたマイクロ波励起の異方性ドライエッチングによって垂直形状にする。同図の凸部74A、74Bは半導体素子用、また凸部76は複合半導体装置の基板電極と導通を取るスルーホール形成用、および凸部77は個々の複合半導体装置分割用、の樹脂材凹み形成用である。図7では凸部の断面形状は垂直である例を述べたが、図8に示すようにウェットエッチング等を併用して最適化した条件で、断面形状の一部にテーパをもつ凸部84A、84B、87の組み立て治具も使われる。凸部74A、74Bと84A、84Bの寸法(W×L×T)は、これを使って成型した樹脂材の凹みに挿入する半導体素子の寸法と等しいかやや大きめにする。組立て治具70、80の凸部側は、SiO₂等の絶縁膜や金属膜等で覆って表面保護し、この形状劣化を防止している。SOI構造ウエーハ基板を用いているので、凸部の高さTは半導体素子の厚さに正確に合わせることができ、しかも組立て治具(ウエーハ)全体の厚さばらつきは1 μ m以下に制御できる特徴がある。また凸部パターンの配列精度はホトリソグラフィ技術によって決まるもので、現状では0.5 μ m以下が得られており、極めて高精度の治具を実現することができる。さらに上記基板は熱膨張係数が小さく、数100℃の高温にも安定である特徴がある。本発明の製造で用いる組立て治具は樹脂層に凹型を成型する用途のみなので劣化することがなく繰り返し使用ができるので経済的である。この実施例では組立て治具の基板材にSOI型Siウエーハを用いて説明したが、厚さが約50 μ m以下と薄い半導体素子を実装する場合には、加工誤差が大き

くならないのでSOI基板材に限定することなく、Si基板材を精密にドライエッチする方法やNi厚メッキ法等で凸部パターン作ってもよい。

【0013】図7と図8の組立て治具を用いて本発明による複合半導体装置の製造方法の他の例を図9と図10で説明する。図9は複合半導体装置の製造工程のうち、特に半導体素子74A、74Bを挿入するための凹み95A、95B形成する実施例を示す。複合半導体装置90の基板91はSiウエーハで、この表面に液状のポリイミド系熱硬化性樹脂 (例えば日立化成工業株式会社製PIX-8540) 92を0.2mm以上の厚さで塗布する。図7と同様の組立て治具70の表面には成型後、樹脂から分離を容易にするためSi系離型剤が使われる (図中省略、(図9(a)))。続いて、加熱と加圧機構をもった専用装置で両者を平行に加圧200する (図9(b))。熱硬化性樹脂層92を硬化させ、組立て治具70を取り除くとSiウエーハ基板91上に凹み (深さ約150 μ m) 95A、95Bが形成される (図9(c))。

【0014】図10は図8と同様な組立て治具を用いて形成した基板100の樹脂材凹み105に半導体素子104を入れる状態の断面構造を示す。凹み105の断面構造は、テーパが付き、半導体素子 (大きさ約1mm \square 、厚さ約0.15mm) 104より大きい。半導体素子の表面を上にして所定の凹み105に配列して行く。この工程でSiウエーハ基板100に上下、左右方向の微振動を与えると半導体素子を凹み105内に確実に挿入できる。この後、樹脂を約2 μ mの厚さで塗布し、さらに平板によりウエーハ基板100の表面を加圧 (加熱) して半導体素子を樹脂で固定し、表面を平坦化する。ポリイミド樹脂は、最終的に温度を約350℃まであげて処理する。

【0015】本発明による製造法では凹みの寸法形成が高精度にでき、廉価な製造装置で半導体素子を定位置に挿入し、これによって配線寸法の縮小がはかれ、高密度、高精度に配列された複合半導体装置がえられるようになった。

【0016】実施例4

高周波用複合半導体装置では半導体素子裏面の電位を固定する必要から、実施例3の製造方法を一部変更した工程の実施例を図11に示す。凹部樹脂層122の表面に導電層126を形成するため図8と同様の組立て治具110の凸部114A、114B形状をテーパ状にし、この表面全面にSiO₂膜を被着し (図中省略)、Auの導電層116を厚さ約200nm、蒸着によって形成した (図11(a))。その後、基板121上の樹脂層122に組み立て治具を加圧、成型し、組立て治具110の表面の、SiO₂と剥がれ易いAu層116を樹脂層122の表面に導電層126として転写した (図11(b))。なお、導電層126は他の金属であっても

よい。また、導電層の形成方法も、凹型に成型した樹脂層に直接、以下の技術を用いて導電層を形成してもよい。(1)金属層を真空蒸着する、(2)導電樹脂層を塗布し、同じ組立て治具を用いて成型して導電層形成する、(3)無電解メッキする。

【0017】以上本発明の基本的製造方法を実施例で述べたが、本発明の主旨から組立て治具の材料はSOIに限らず、Si基板、セラミックス、金属等、精密な加工ができるものであればよい。また複合半導体装置用基板は、上記で述べた例の他、WCu等の金属であってもよい。

【0018】

【発明の効果】複合半導体装置を製造する工程に以上述べた組立て治具を用いることによって以下の効果が得られた。

【0019】(1)組立て治具につけた半導体素子を一括して複合半導体装置基板に埋め込む方法では、各半導体素子の厚さがばらついていても、埋め込んだ基板表面が平坦化でき、これによって配線寸法の縮小がはかれ、高密度、高精度に配列された複合半導体装置がえられるようになった。

【0020】(2)組立て治具につけた放熱板の部品を一括して半導体素子の裏面に取付ける製造方法により、放熱のよい、信頼性の高い複合半導体装置を安く提供できるようになった。

【0021】(3)加工精度と配列精度の優れた組立て治具により樹脂層に半導体素子を埋め込むための凹部を形成して、これによって小型化された複合半導体装置を安く提供できるようになった。

【0022】(4)組立て治具の適用によって複合半導体装置の製造方法は、ウエーハの一括処理が出来るようになって大量生産による低価格化を達成できるようになった。

【図面の簡単な説明】

【図1】本発明の実施例1に用いる複合半導体装置組立て治具とこれを使った製造の主要工程における複合半導体装置の断面構造図である。

【図2】本発明の実施例1に用いる複合半導体装置組立て治具を使って形成した半導体素子配列の上面全体図で

ある。

【図3】本発明の実施例1に用いる複合半導体装置組立て治具を使って膜厚の異なる半導体素子を樹脂層に埋め込み形成をした工程における複合半導体装置基板の断面構造図である。

【図4】本発明の実施例1に用いる複合半導体装置のウエーハ製造工程終了における複合半導体装置単体の断面構造図である。

【図5】本発明の実施例2に用いる複合半導体装置の放熱板用組立て治具とこれを使った一製造工程における複合半導体装置の断面構造図である。

【図6】本発明の実施例2に用いる複合半導体装置の放熱板用組立て治具で作った最終製造工程における複合半導体装置単体の断面構造図である。

【図7】本発明の実施例3に用いる複合半導体装置用組立て治具の一部分の断面構造図である。

【図8】本発明の実施例3に用いる複合半導体装置用組立て治具の他の一部分の断面構造図である。

【図9】本発明の実施例3に用いる複合半導体装置用組立て治具を使って形成した半導体素子の埋め込み用樹脂層形成工程における複合半導体装置基板の一部分の断面構造図である。

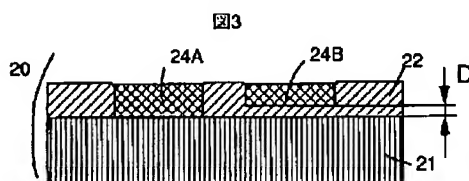
【図10】本発明の実施例3に用いる複合半導体装置用組立て治具を使って形成した半導体素子の埋め込み用樹脂層に半導体素子を挿入する概念を示す複合半導体装置の一部分の断面構造図である。

【図11】本発明の実施例4に用いる複合半導体装置用組立て治具を使って形成した導電層付半導体素子の埋め込み用樹脂層の一部分の断面構造図である。

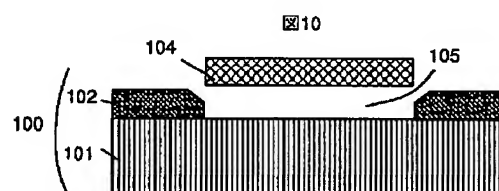
【符号の説明】

10、50、70、80、110…複合半導体装置用組立て治具、21、41、61、91、101、121…複合半導体装置用基板、20、40、60、90、100、120…製造途中の複合半導体装置、74、76、77、84、87…複合半導体装置用組立て治具の凸部、4、4A、4B、24A、24B…半導体素子、22、42、62、92、102、122…複合半導体装置基板上の樹脂層凹部、43、116、126…導電層。

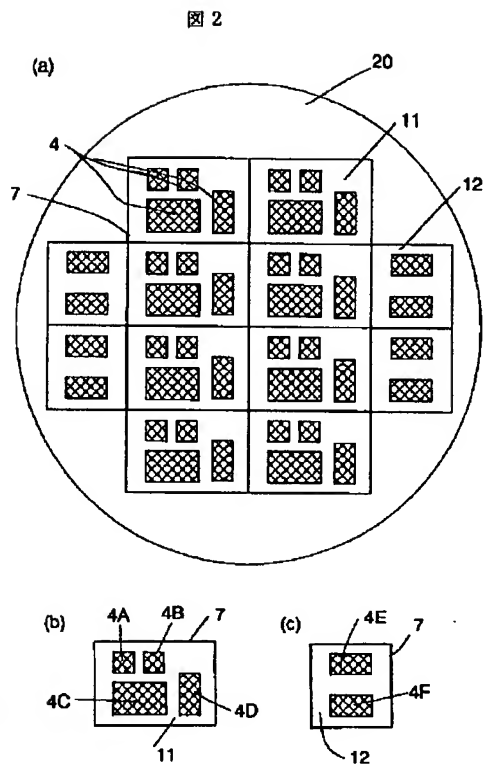
【図3】



【図10】



【図2】



【図6】

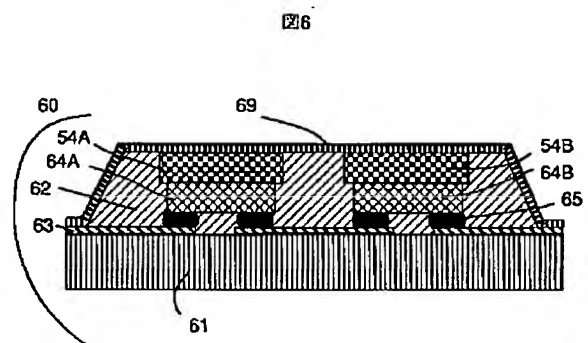
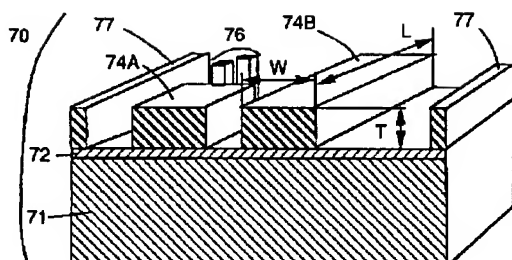
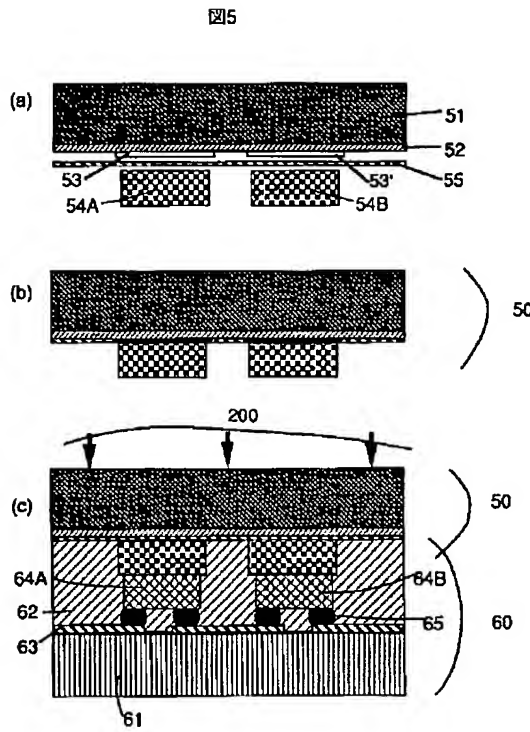


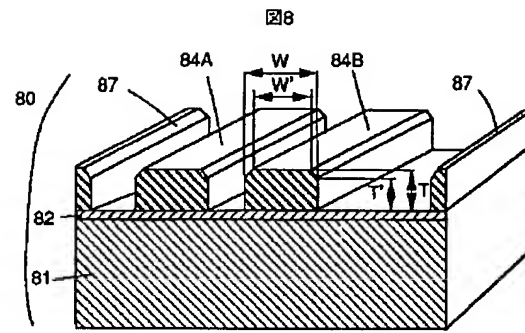
图7



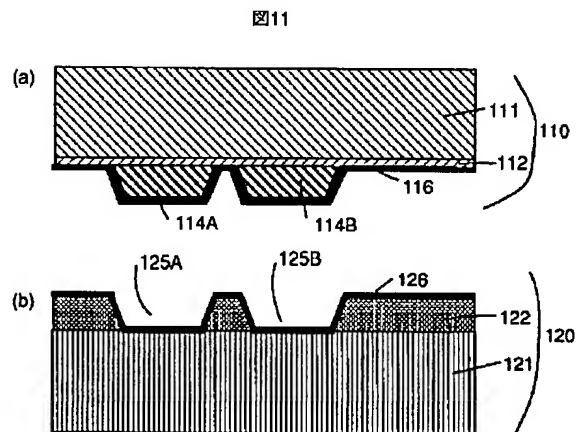
【図5】



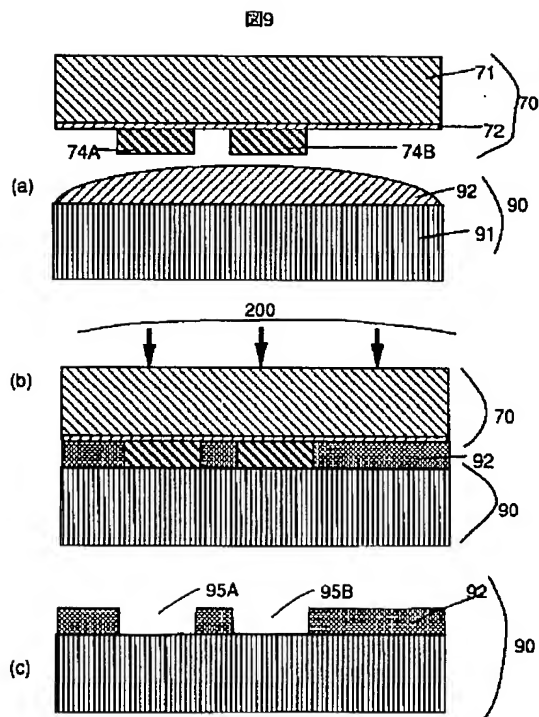
【図8】



【図11】



【図9】



フロントページの続き

(72)発明者 山▲崎▼ 松夫
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 岡部 寛
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 高橋 昭雄
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内